

单粒子瞬态效应硬件注入模型实现和仿真

周婉婷, 靳丽娜, 叶世旺

(电子科技大学 电子科学技术研究院, 四川 成都 610054)

摘 要: 基于量化组合逻辑门延迟思想和扫描测试的方法, 提出了一种适用于 FPGA 硬件模拟单粒子瞬态效应的门级注入模型. 该模型考虑了电气掩蔽效应对脉冲传输的影响, 通过该模型可以对组合电路任意逻辑门进行错误注入. 基于该模型对 ISCAS'85 基准电路进行单粒子瞬态的研究, 实验结果表明该脉冲产生方法高效, 注入速度达到 10^5 faults/s.

关键词: 单粒子瞬态效应; 扫描测试; FPGA; 硬件模拟

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2014)09-0084-04

A Single Event Transient Fault Injection Model for Emulation

ZHOU Wan-ting, JIN Li-na, YE Shi-wang

(Research Institute of Electronic Science and Technology, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: This paper presents a single event transient injection model for FPGA emulation based on quantization and scan test. A complete fault injection can be implemented with this approach. Experiment results of ISCAS'85 benchmark demonstrate that the model can be easily implemented in a FPGA. And the proposed approach could increase SET fault analysis speed to 10^5 faults/s.

Key words: Single event transient; Scan test; FPGAs; Hardware emulation

1 引言

随着数字电路工艺进入深亚微米时代, 小尺寸及低电压使得电路节点对空间高能粒子的影响变得越来越敏感. 有文献表明, 在 70 nm 工艺条件下, 工作于空间环境中的集成电路发生单粒子瞬态 (Single Event Transient, SET) 的概率达到 50% 以上^[1]. 与此同时, 随着集成电路规模的增大, 对单粒子效应 (Single Event Effect, SEE) 的模拟复杂度越来越高. 与器件三维仿真分析^[2] 和辐照实验^[3] 等传统软错误率预估方法相比, 采用 FPGA 进行快速 SEE 模拟 (Emulation) 的方法可以大大提升验证速度. 目前, 针对单粒子翻转 (Single Event Upset, SEU) 的硬件模拟方法得到了广泛的研究和发展^[4-6]. 由于 SET 在传输过程中会受到掩蔽效应而衰减甚至消失, 所以仅仅用状态发生翻转来表示组

合逻辑门受到粒子攻击无疑会放大 SET 对于电路的影响. 掩蔽效应主要有三种: 逻辑掩蔽、锁存掩蔽和电气掩蔽. 前两者会在 FPGA 模拟中体现, 而电气掩蔽与传输延迟信息相关, 由于工艺参数不相同, FPGA 等效电路的逻辑门延迟与原电路逻辑门的延迟不同, 使得 SET 硬件模拟难以开展.

为了模拟电气掩蔽效应, 本文提出用量化思想对 VLSI 组合逻辑门的传输延迟进行处理, 根据负载均衡与否提出两种适用于 FPGA 硬件模拟的 SET 量化模型, 并结合扫描测试的思想提出可用于大规模电路注入的方法.

2 SET 注入模型

当瞬态脉冲在组合逻辑电路中传播时, 由于组合逻辑门负载引起的传输延迟使得瞬态脉冲的幅度和宽度会衰减甚至消失^[7], 如图 1 所示. 基于此, 在

考虑 SET 对电路节点的影响时,必须将逻辑门的传输延迟纳入其中. SET 产生于组合逻辑中,有两种类型脉冲:010 和 101. 本文以下讨论针对脉冲 010 展开,脉冲 101 与其类似,不再累述.

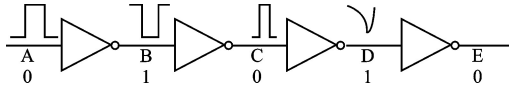


图1 电气掩蔽效应示意图

当一个瞬态脉冲经过一个组合逻辑门时,定义从输入信号跨越 $50\% V_{DD}$ 到输出信号跨越 $50\% V_{DD}$ 所需的最大时间为传输延迟时间. 图2给出了一个输入 010 脉冲,输出的下降传输延迟 t_{pHL} 和上升传输延迟 t_{pLH} 均是以跨越 $50\% V_{DD}$ 作为衡量. 一般来说,逻辑门的传输延迟由负载决定,可以通过综合后的 SDF 文件或者 lib 库得到.

如前所述, FPGA 的逻辑门电路传输延迟与 VLSI 门延迟不同,如果要准确模拟 SET 效应,需要在 FPGA 硬件模拟单元中刻画出传输延迟. 基于此,本文引入了量化的方法. 选取一个时间刻度 Δt 作为单位时间,则任何组合逻辑门的传输延迟可以用传输延迟与 Δt 的商表示(由于两者商一般不为整数,这里的量化值向上取整). 图2给出了传输延迟量化示意图.

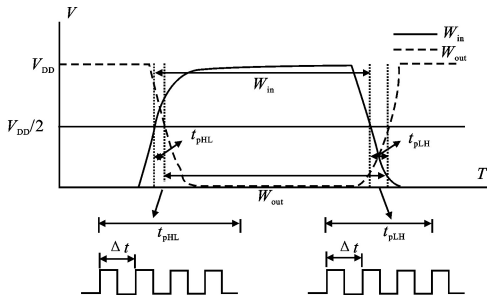


图2 传输延迟量化示意图模型

由于逻辑门的传输延迟通常为皮秒级,则选取的单位时间 Δt 会更小,实际工作的 FPGA 很难达到这么高的工作频率. 在硬件实现过程中,将注入脉冲宽度和电路真实工作时钟均用 Δt 进行量化,再对 Δt 进行放大,采用放大后的 Δt 作为系统工作时钟,并在进行模拟的时候采用计数器输出传输延迟、脉冲和工作时钟的量化结果.

传输门的输入输出负载不同会导致传输延迟的不同,进而影响量化的复杂程度. 下面就传输负载均衡与否分别叙述两种传输延迟量化模型.

2.1 负载均衡的 SET 量化模型

脉冲经过逻辑门时,假设负载均衡,则 $t_{pHL} =$

t_{pLH} 即量化结果相同. 如果传输延迟的量化结果是 N , 则逻辑门的传输延迟可以通过一个最大值为 $N-1$ 的计数器实现. 图3给出一个输入输出延迟均为四个量化单位的与非门. 该模型使用了一个最大值为 3 的计数器. 脉冲出现后,结果并未立即翻转,在延迟四个单位后,输出出现状态变换,并维持一定时长后延迟四个单位恢复状态.

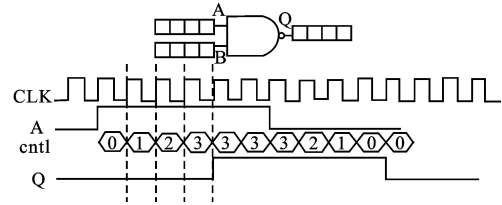


图3 负载均衡的与非门传输量化模型

在实现过程中,还需要确定各个逻辑门延迟时间和计数器量化时钟和量化单位,具体过程如下.

根据目标工艺和工作频率对分析电路进行综合,得到带有门级电路时序信息的 SDF 文件,获取门每个单元的延迟时间 t_p ,并得出其中最大值记为 T ,如果采用 N bit 计数器,则量化时钟周期为

$$\Delta t = \lceil T/2^N \rceil \quad (1)$$

对于每个门电路的量化值则是

$$n = \lceil t_p / \Delta t \rceil \quad (2)$$

2.2 非均匀负载 SET 注入模型

在脉冲经过逻辑门时,如果负载不均衡则会导致 t_{pHL} 和 t_{pLH} 不相等. 这里假设输入延迟大于输出延迟. 在这种情况下,采用两个计数器分别对 t_{pHL} 和 t_{pLH} 的量化值进行计数,图4给出一个输入延迟为四个量化单位而输出延迟量化为 2 个单位的与非门. 两个中间信号 A' 和 B' 进行相与,则输出延迟四个单位,输出延迟两个单位. 从图4可以看出,由于两端延迟不相等且输入脉冲与传输延迟可比拟的情况下,脉冲传输的过程中会出现衰减,这与文献[8]中结论吻合. 注意,图4给出的例子是 t_{pLH} 大于 t_{pHL} 的情况,如果 t_{pLH} 小于 t_{pHL} ,则 A' 和 B' 进行或操作.

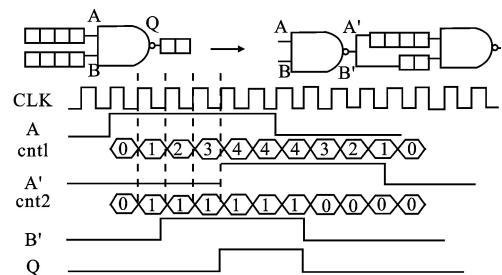


图4 负载非均衡的与非门传输量化模型

如前所述,需要确定各个逻辑门延迟时间和计

所有待测电路均以 SMIC0.13 μm 工艺实现, 采用 Synopsys 公司的 Design Compiler 对电路进行综合, 得到网表和 SDF 文件. 实验中采用 4 比特计

数器,对每个电路逻辑门找出最大传输延迟,计算量化时间和各种量化结果.每种电路均进行全节点顺序注入错误,电路输入300组随机向量.表2给出了每种电路的节点注入个数、量化时间以及注入故障数,注入的故障数为注入节点、随机向量和时钟量化结果的乘积.网表中所有组合逻辑门均用SET注入模型进行替换,并对SDF中的延迟时间进行量化.表3给出了注入脉冲为1.2 ns,系统工作在100 MHz以及量化时间放大为10 ns时的实验结果,并加入文献[9]软件注入速率结果进行对比.

表2 基准电路实验参数

Cirtuits	# gates	Test vector	Δt /ps	Injected faults
C432	159	300	16.781 25	11 400 300
C499	448	300	21.625	24 864 000
C880	286	300	18.75	18 361 200
C1355	375	300	21.093 75	21 375 000
C1908	575	300	16.781 25	41 227 500
C3504	1 224	300	20.25	72 705 600

表3 基准电路实验结果

Circuits	Injection time/ s	Faults/s (Emulation)	Faults/s (Simulation [9])	Errors
C432	67.8	168 146	4 835	1 239 702
C499	115.3	215 647	5 220	3 628 078
C880	97.87	187 609	3 594	2 834 412
C1355	101.6	210 384	5 480	3 443 065
C1908	245.2	168 139	3 553	6 875 368
C3504	358.5	202 806	1 560	8 973 083

由表3中的比较结果可知,SET硬件模拟速度和文献[4-6]中SEU的注入慢了一个量级,考虑到SET的模拟在采用计数器对传输延迟实现量化,这种由硬件开销增大带来的速度减慢可以容忍.与文献[9]中的软件仿真结果相比,本文提出的FPGA硬件模拟方法在速度上提高了两个数量级.

4 结束语

本文基于量化思想和扫描测试原理,提出了一种单粒子瞬态硬件注入模型.该模型易于在FPGA中实现,可以实现对组合逻辑的快速SET模拟验证,速度可达 10^5 faults/s.

由于本次实验选用的FPGA是2004年的产品,如果采用更新工艺的FPGA可以更进一步提高

注入速度.

在未来的研究中,将会进行模拟速度优化工作,进一步提高硬件模拟速度.

参考文献:

- [1] N Seifert, X Zhu, L Massengill. Impact of scaling on soft error rates in commercial microprocessors [J]. IEEE Trans on Nucl Sci, 2002, 49(6): 3100 - 3106.
- [2] Dodd P E, Sexton F W, Winokur P S. Three-dimensional simulation of charge collection and multiple-bit Upset in Si devices [J]. IEEE Trans on Nucl Sci, 1994, 41(6): 2005 - 2017.
- [3] Gadlage M J, Ahlbin J R, Narasimham B, et al. Scaling trends in SET pulse widths in sub-100 nm bulk CMOS processes [J]. IEEE Trans on Nucl Sci, 2010, 57(6): 3336-3340.
- [4] Civera P, Macchiarulo L, Rebaudengo M, et al. FPGA-based fault injection techniques for fast evaluation of fault tolerance in VLSI circuits [C]// Forum on Programmable Logic (FPL) Belfast Northern Ireland, United Kingdom: IEEE, 2001.
- [5] Celia López-Ongil, Mario García-Valderas, Marta Portela-García, et al. Autonomous fault emulation: a new FPGA-based acceleration system for hardness evaluation [J]. IEEE Trans on Nucl Sci, 2007, 54(1): 252-261.
- [6] 郑宏超,范隆,岳素格,等.基于库替换计数的单粒子效应故障注入仿真 [J]. 微电子学与计算机, 2009, 26(7): 60-64.
- [7] Gadlage M J, Schrimpf R D, Benedetto J M, et al. Single event transient pulse widths in digital microcircuits [J]. IEEE Trans on Nucl Sci, 2004, 51(6): 3285-3290.
- [8] G I Wirth, M G Vieira, E H Neto, et al. Modeling the sensitivity of CMOS circuits to radiation induced single event transient [J]. Microel Reliab, 2008(48): 29-36.
- [9] Reorda M S, Violante M, Torino P D. Accurate and efficient analysis of single event transients in VLSI circuits [C]// Proceeding of 9th IEEE International on-line Testing Symposium (IOLTS'03). Kos Island, Greece: IEEE, 2003.

作者简介:

周婉婷 女,(1982-),博士研究生,助理研究员.研究方向为单粒子分析以及电路加固技术研究.